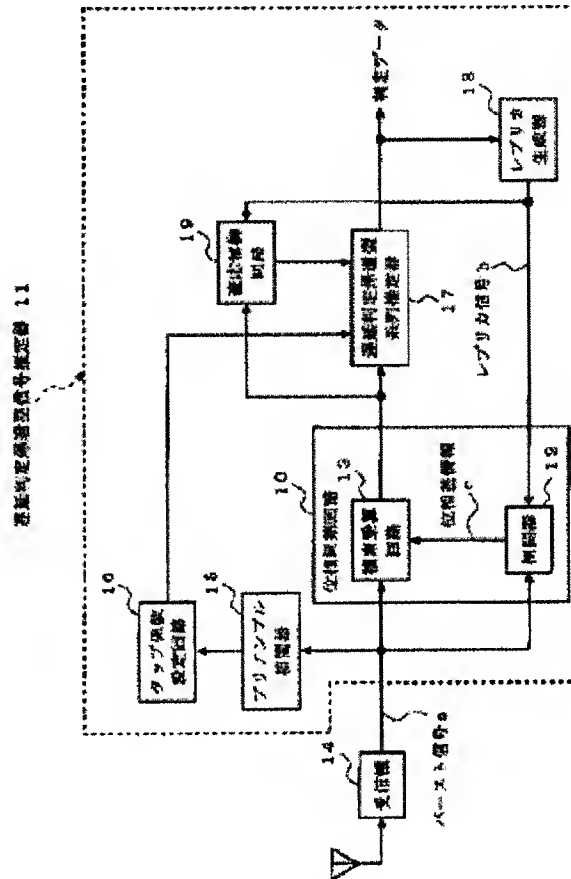


© PatBase

**Source:** JP2001333119A **PROBLEM TO BE SOLVED:** To provide a phase synchronization circuit that can realize a phase locked loop with a wide correction range of a phase deviation without a limit of a phase shift correction range due to a limit of an oscillated frequency of a VCO.**SOLUTION:** The phase synchronization circuit that detects and corrects a phase shift from a received signal having the phase shift in a delay discrimination feedback sequence estimate unit 17 is provided with a correlation device 12 that detects a phase shift between the received signal (burst signal (a)) and a replica and with a complex arithmetic circuit 13 that applies complex arithmetic operation to the received signal to rotate the phase on the basis of phase shift information from the correlation device 12.



**Assignee(s):** NEC CORP

(11)特許出願公開番号

特開2001-333119

(P2001-333119A)

(43)公開日 平成13年11月30日(2001.11.30)

(51) Int.Cl.<sup>7</sup>

識別記号

FI

デーマコート<sup>+</sup>(参考)

H04L 27/14

H0 4 L 7/00

F 5K004

7/00

27/14

В 5 К 0 4 7

審査請求 有 請求項の数6 OL (全 7 頁)

(21)出願番号 特願2000-152506(P2000-152506)

(22) 出願日 平成12年5月24日(2000.5.24)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田中 宏和

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100086645

弁理士 岩佐 義幸

Fターム(参考) 5K004 AA04 EA04 EA11 EC08 EH02

5K047 AA05 EE01 GG11 GG13 HH15

JJ02 MM12 MM33 MM43 MM46

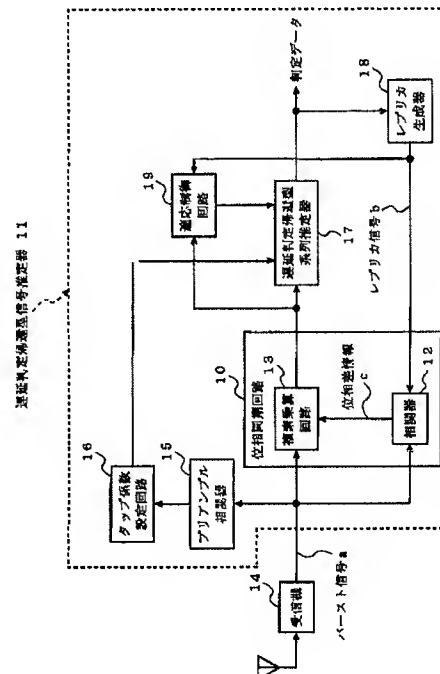
MM63

(54) 【発明の名称】 位相同期回路

(57) 【要約】

【課題】 VCOの発振周波数の制限による位相ずれ補正範囲の制限がなく、位相ずれの補正範囲の広い位相同期ループを実現することができる位相同期回路を提供する。

【解決手段】 遅延判定帰還型系列推定器 17 における、位相ずれを受けた受信信号から位相ずれを検出し補正する位相同期回路において、受信信号（バースト信号 a）とレプリカの位相ずれを検出する相関器 12 と、相関器 12 からの位相ずれ情報を基に、受信信号の複素数演算を行って位相回転させる複素演算回路 13 とを有する。



## 【特許請求の範囲】

【請求項1】遅延判定帰還型系列推定器における、位相ずれを受けた受信信号から位相ずれを検出し補正する位相同期回路において、

受信信号とレプリカ信号との位相ずれを検出する相関器と、  
前記相関器からの位相ずれ情報を基に、前記受信信号の複素数演算を行って位相回転させる複素演算回路とを有することを特徴とする位相同期回路。

【請求項2】受信機から出力される受信信号を受け、バースト期間中にプリアンブにより同期し、又、プリアンブによりインパルス応答を推定し、インパルス応答をタップ係数設定回路に送るプリアンブ相関器と、  
タップ数の初期設定後、バーストの最後までまでのデータ信号の推定及び判定を行う遅延判定帰還型系列推定器と、  
前記プリアンブ相関器から受け取ったインパルス応答により、前記遅延判定帰還型系列推定器のタップ数の初期値をセットするタップ係数設定回路と、  
インパルス応答値と前記遅延判定帰還型系列推定器からの情報によりレプリカ信号を生成するレプリカ生成器と、  
前記遅延判定帰還型系列推定器の入力データ及び前記レプリカ信号から、バースト期間中においても前記遅延判定帰還型系列推定器のタップ数を変化させ、最適な推定データが得られるように制御する適応制御回路とを有することを特徴とする請求項1に記載の位相同期回路。

【請求項3】前記相関器は、前記受信機からの受信信号を複素共役化し、前記レプリカ生成器からのレプリカ信号と複素乗算を行って乗算結果を平均化した後に、位相差情報を出力することを特徴とする請求項2に記載の位相同期回路。

【請求項4】前記遅延判定帰還型系列推定器の代わりに最尤系列推定器を用い、前記最尤系列推定器により判定データを推定することを特徴とする請求項2または3に記載の位相同期回路。

【請求項5】前記遅延判定帰還型系列推定器の代わりに、仮判定データを出力することが可能な仮判定データ出力端子付き遅延判定帰還型系列推定器を用いることを特徴とする請求項2または3に記載の位相同期回路。

【請求項6】GMSK (gaussian filtered minimum shiftkeying) 変調等の狭帯域変調方法により、プリアンブ期間中に伝送路特性を求めて受信信号の等化を行う通信システムに用いられることを特徴とする請求項1から5のいずれかに記載の位相同期回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、遅延判定帰還型系列推定器の位相同期回路に関し、特に、GMSK変調等の狭帯域変調方法により受信信号の等化を行う通信シ

ステムにおける遅延判定帰還型系列推定器の位相同期回路に関する。

## 【0002】

【従来の技術】従来、遅延判定帰還型系列推定器を用いた位相同期ループでは、VCO (voltage controlled oscillator) の出力信号に応じて、位相回転器が受信信号の位相を回転させている。

【0003】図7は、従来の位相同期ループを示すブロック図である。図7に示すように、受信機1からのバースト信号を受けたプリアンブ相関器2は、プリアンブにより同期し、また、プリアンブによりインパルス応答を得て、インパルス応答をタップ係数設定回路3に送る。

【0004】タップ係数設定回路3では、プリアンブ相関器2から受け取ったインパルス応答により、遅延判定帰還型系列推定器4のタップ数をセットする。遅延判定帰還型系列推定器4は、タップ数の初期設定後、バーストの最後までまでのデータ信号の推定及び判定を行い、推定及び判定されたデータがそのまま復調データとなる。

【0005】遅延判定帰還型系列推定器4から出力された、推定された判定データにより、レプリカ生成器5はレプリカを生成する。位相検出器6は、位相回転器7からの信号とレプリカを比較し、フィルタ8a及びVCO 8bを経て位相回転器7を制御し位相誤差の補正を行うループを形成する。

## 【0006】

【発明が解決しようとする課題】しかしながら、従来の位相同期ループによれば、位相変動に対する補正可能範囲はVCO 8bの発振可能周波数範囲の制限に負うところが大きく、位相ずれの幅によっては対応ができなくなってしまう。

【0007】この発明の目的は、VCOの発振周波数の制限による位相ずれ補正範囲の制限がなく、位相ずれの補正範囲の広い位相同期ループを実現することができる位相同期回路を提供することである。

## 【0008】

【課題を解決するための手段】上記目的を達成するため、この発明に係る位相同期回路は、遅延判定帰還型系列推定器における、位相ずれを受けた受信信号から位相ずれを検出し補正する位相同期回路において、受信信号とレプリカ信号との位相ずれを検出する相関器と、前記相関器からの位相ずれ情報を基に、前記受信信号の複素数演算を行って位相回転させる複素演算回路とを有することを特徴としている。

【0009】上記構成を有することにより、相関器は、受信信号とレプリカ信号との位相ずれを検出し、複素演算回路は、相関器からの位相ずれ情報を基に、受信信号の複素数演算を行って位相回転させ、位相ずれを受けた受信信号の位相ずれを補正する。これにより、VCOは

不必要となり、VCOの発振周波数の制限による位相ずれ補正範囲の制限がなく、位相ずれの補正範囲の広い位相同期ループを実現することができる。

【0010】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【0011】図1は、この発明の一実施の形態に係る位相同期回路の構成を示すブロック図である。図2は、図1の受信機により受信された受信信号の説明図である。

【0012】図1に示すように、位相同期回路10は、遅延判定帰還型信号推定器11に用いられ、相関器12及び複素演算回路13を有している。遅延判定帰還型信号推定器11は、位相同期回路10と、プリアンプ相関器15、タップ係数設定回路16、遅延判定帰還型系列推定器17、レプリカ生成器18、及び適応制御回路19とを有している。

【0013】受信機14は、受信された信号から必要な帯域の信号を取り出す帯域フィルタと、直交変調を行うミキサと、0/90度位相発生器と、発振器と、直交復調された信号をA/D(analog digital)変換するA/Dコンバータを備え、実数部振幅値信号と虚数部振幅値信号を出力する。

【0014】受信機14から出力される受信信号、即ちバースト信号aは、図2に示すように、キャリア検出、AGC設定、AFC設定、タップ係数設定、及び同期ビットからなるプリアンプバースト、及びデータからなるデータバーストで構成される。

【0015】プリアンプ相関器15は、受信機14からのバースト信号aを受け、バースト期間中にプリアンプにより同期し、又、プリアンプによりインパルス応答を推定し、インパルス応答をタップ係数設定回路16に送る。

【0016】タップ係数設定回路16は、プリアンプ相関器15から受け取ったインパルス応答により、遅延判定帰還型系列推定器17のタップ数の初期値をセットする。

【0017】遅延判定帰還型系列推定器17は、タップ数の初期設定後、バーストの最後までのデータ信号の推定及び判定を行い、推定及び判定されたデータがそのまま復調データとなる。

【0018】レプリカ生成器18は、インパルス応答値と遅延判定帰還型系列推定器17からの情報によりレプリカ信号を生成する。

【0019】相関器12は、レプリカ生成器18からのレプリカ信号bと受信機14からの受信信号との位相を比較し、得られた位相差情報cを複素演算回路13に出力する。

【0020】図3は、図1の相関器の構成を示すブロック図である。図3に示すように、相関器12は、受信機14からの受信信号(バースト信号a)を複素共役化

し、レプリカ生成器18からのレプリカ信号bと複素乗算を行って乗算結果を平均化した後に、位相差情報cを出力する。

【0021】複素演算回路13は、相関器12からの位相差情報cにより受信機14からの受信信号の位相を回転させる複素乗算を行う。

【0022】適応制御回路19は、遅延判定帰還型系列推定器17の入力データ及びレプリカ生成器18からのレプリカ信号bから、バースト期間中においても遅延判定帰還型系列推定器17のタップ数を変化させ、最適な推定データが得られるように制御する。

【0023】ここで、受信信号aとレプリカ信号bの位相差を $2\pi\Delta f t$ とし、受信信号aを $r(t)e^{j2\pi\Delta f t}$ 、レプリカ信号bを $r'(t)$ とした場合、受信信号aを複素共役化すると $r(t)e^{-j2\pi\Delta f t}$ となり、その後、レプリカ信号bと複素乗算を行うと、 $r(t)e^{-j2\pi\Delta f t} \cdot r'(t) = r(t)r'(t)e^{-j2\pi\Delta f t}$ となる。振幅を正規化すると $e^{-j2\pi\Delta f t}$ となり、位相差情報cは、 $e^{-j2\pi\Delta f t}$ となる。

【0024】複素演算回路13では、受信信号aと位相差情報cを複素乗算し、 $r(t)e^{j2\pi\Delta f t}e^{-j2\pi\Delta f t} = r(t)$ となる。 $r(t)$ は、遅延判定帰還型系列推定器17とレプリカ生成器18により、レプリカ信号bとして $r'(t)$ となる。これにより、位相同期ループを形成している。

【0025】つまり、上記構成を有する遅延判定帰還型信号推定器11により、レプリカ生成器18からのレプリカ信号と受信機14からの受信信号との位相ずれを相関器12によって求め、相関器12は、位相ずれ信号を送出する。複素演算回路13は、位相ずれ信号に応じて行う複素乗算により受信信号の位相を回転させ、位相ずれを補正する。

【0026】このようにすることで、位相検出器及びフィルタの代わりに相関器12を用いると、従来のように、VCO及び位相回転器を使用せずに、複素乗算回路13を用いて受信信号の位相ずれを補正できるので、VCOの発振周波数の制限による位相ずれ補正範囲の制限が無くなり、位相ずれの補正範囲が広い位相同期ループを実現することができる。

【0027】従って、この遅延判定帰還型信号推定器11は、GMSK(gaussian filtered minimum shift keying)変調等の狭帯域変調方法によりプリアンプ期間中に伝送路特性を求めて受信信号の等化を行う通信システムにおいて、位相ずれを受けた受信信号から位相ずれを検出し補正する位相同期ループ回路に関し、受信信号の位相ずれを補正させる際に、位相検出器、フィルタ、VCO及び位相回転器を用いることなく相関器12及び複素乗算回路13を用いることで、位相ずれの補正範囲が広がる。

【0028】図4は、この発明の他の実施の形態に係る

最尤系列推定器を用いた信号推定器の構成を示すブロック図である。図4に示すように、最尤系列推定器を用いた信号推定器20は、遅延判定帰還型系列推定器17の代わりに最尤系列推定器21を用いている。この場合、判定データを推定するものが最尤系列推定器21に変わったのみであり、同期ループの動作は、遅延判定帰還型信号推定器11（図1参照）の場合と変わらない。

【0029】図5は、この発明の更に他の実施の形態に係る遅延判定帰還型信号推定器の構成を示すブロック図であり、図6は、図5の仮判定データ出力端子付き遅延判定帰還型系列推定器を説明するブロック図である。

【0030】図5に示すように、遅延判定帰還型信号推定器25は、推定データを用いるのではなく仮判定データを用いてレプリカを生成するものであり、遅延判定帰還型系列推定器17の代わりに、仮判定データを出力することが可能な仮判定データ出力端子付き遅延判定帰還型系列推定器26が用いられる。

【0031】図6に示すように、仮判定データ出力端子付き遅延判定帰還型系列推定器26は、最尤系列推定器27と判定帰還型等化器28を有しており、最尤系列推定器27の推定結果を仮判定データdとして出力する。その仮判定データdを基に、レプリカ生成器18がレプリカを生成する。

【0032】相関器12は、レプリカ生成器18からのレプリカ信号bと受信機14からの受信信号（バースト信号a）との位相を比較し、位相差情報cを複素演算回路13に出力する。

【0033】このようにすることにより、判定帰還型等化器28の判定結果を待つことなく、位相差情報cを得て位相ずれを補正することが可能であるため、位相ずれの変化に対して応答性のよい位相同期ループを実現することができる。

【0034】従って、上記各実施の形態に示すように、この発明に係る位相同期回路10は、受信信号とレプリカの位相ずれを検出する相関器12と、相関器12からの位相ずれ情報を基に、受信信号を複素数演算を行って位相回転させる複素演算回路13とにより、位相ずれを補正することが可能となり、従来の位相同期ループによる場合に比べ、より広範囲の位相ずれに対して補正することが可能となる。

【0035】

【発明の効果】以上説明したように、この発明によれ

ば、相関器は、受信信号とレプリカの位相ずれを検出し、複素演算回路は、相関器からの位相ずれ情報を基に、受信信号の複素数演算を行って位相回転させ、位相ずれを受けた受信信号から位相ずれを補正するので、VCOは不必要となり、VCOの発振周波数の制限による位相ずれ補正範囲の制限がなく、位相ずれの補正範囲の広い位相同期ループを実現することができる。

【図面の簡単な説明】

【図1】この発明の一実施の形態に係る位相同期回路の構成を示すブロック図である。

【図2】図1の受信機により受信された受信信号の説明図である。

【図3】図1の相関器の構成を示すブロック図である。

【図4】この発明の他の実施の形態に係る最尤系列推定器を用いた信号推定器の構成を示すブロック図である。

【図5】この発明の更に他の実施の形態に係る遅延判定帰還型信号推定器の構成を示すブロック図である。

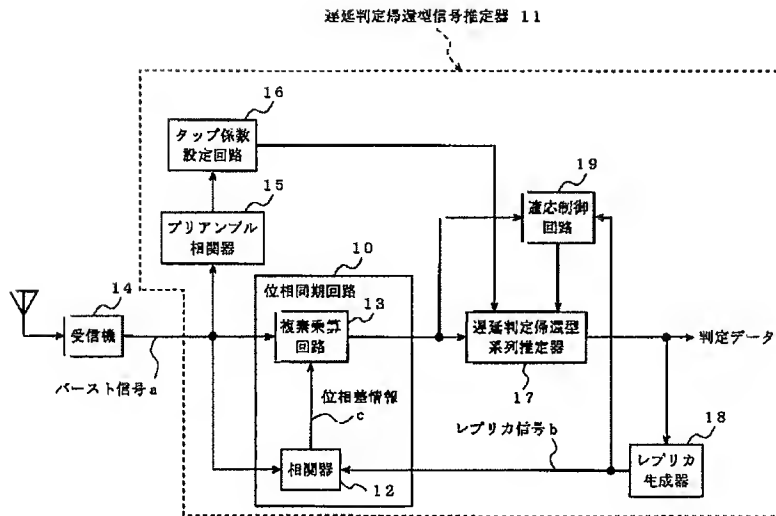
【図6】図5の仮判定データ出力端子付き遅延判定帰還型系列推定器を説明するブロック図である。

【図7】従来の位相同期ループを示すブロック図である。

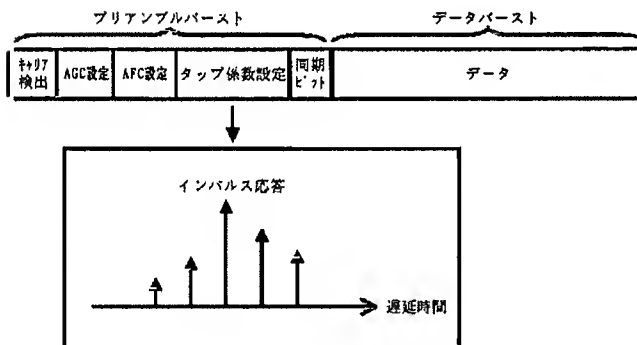
【符号の説明】

- 10 位相同期回路
- 11, 25 遅延判定帰還型信号推定器
- 12 相関器
- 13 複素演算回路
- 14 受信機
- 15 プリアンプル相関器
- 16 タップ係数設定回路
- 17 遅延判定帰還型系列推定器
- 18 レプリカ生成器
- 19 適応制御回路
- 20 最尤系列推定器を用いた信号推定器
- 21 最尤系列推定器
- 26 仮判定データ出力端子付き遅延判定帰還型系列推定器
- 27 最尤系列推定器
- 28 判定帰還型等化器
- a バースト信号
- b レプリカ信号
- c 位相差情報
- d 仮判定データ

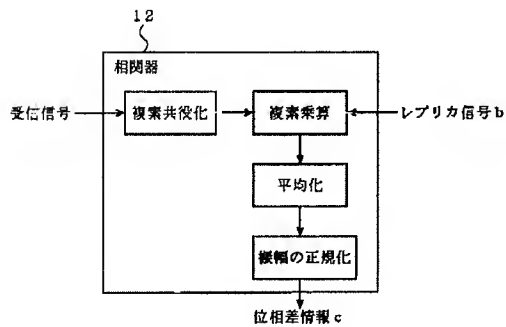
【図1】



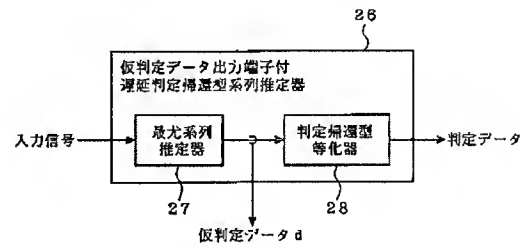
【図2】



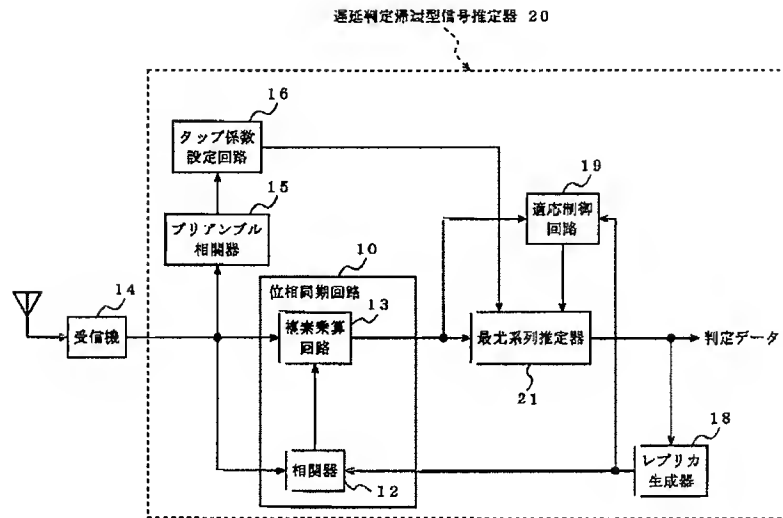
【図3】



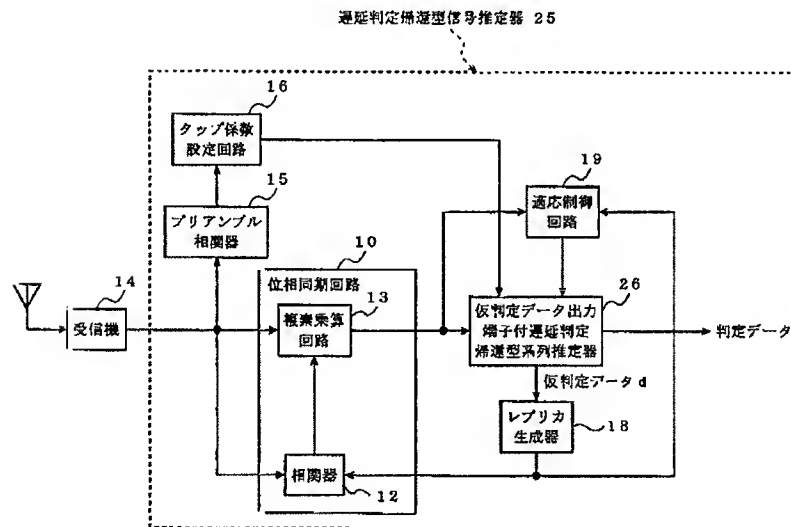
【図6】



【図4】



【図5】



【図7】

